

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masakiyo MATSUMURA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MEMORY CIRCUIT, DISPLAY CIRCUIT, AND DISPLAY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
Japan

APPLICATION NUMBER
2002-270665

MONTH/DAY/YEAR
September 17, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McGlelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月17日

出 願 番 号

Application Number:

特願2002-270665

[ST.10/C]:

[JP2002-270665]

出 願 人

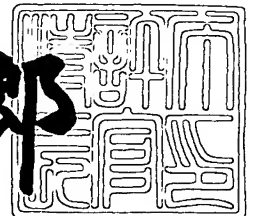
Applicant(s):

株式会社 液晶先端技術開発センター

2003年 7月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3052231

【書類名】 特許願
【整理番号】 MM02-078
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/12
【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶
先端技術開発センター 内

【氏名】 松村 正清

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶
先端技術開発センター 内

【氏名】 是成 貴弘

【特許出願人】

【識別番号】 501286657

【氏名又は名称】 株式会社液晶先端技術開発センター

【代理人】

【識別番号】 100077779

【弁理士】

【氏名又は名称】 牧 哲郎

【選任した代理人】

【識別番号】 100078260

【弁理士】

【氏名又は名称】 牧 レイ子

【選任した代理人】

【識別番号】 100086450

【弁理士】

【氏名又は名称】 菊谷 公男

【手数料の表示】

【予納台帳番号】 010146

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス駆動回路

【特許請求の範囲】

【請求項 1】 n 行の走査線と m 列の信号線からなるマトリクス配線の交点にスイッチング素子を配置し、

このスイッチング素子を前記走査線に順次供給される走査信号でオン・オフ制御して信号線に供給されるデータ電圧を画素電極に伝えるアクティブマトリクス駆動回路において、

前記スイッチング素子をトランジスタ T1 で構成し、

このトランジスタ T1 のゲート電極を前記信号線に接続すると共に、

ソース電極とドレイン電極を 2 つの画素容量 C1、C2 にそれぞれ接続し、

しかしてこれらの画素容量 C1、C2 に正負の電源電圧を保持した状態でゲート電極に正負いずれかのデータ電圧を印加して画素容量 C1、C2 に正負の駆動電圧を保持することを特徴とするアクティブマトリクス動回路。

【請求項 2】 前記画素容量 C1、C2 は、

トランジスタ T2、T3 を介して正負の電源電圧を供給すると共に、

トランジスタ T4、T5 を介してトランジスタ T1 のソース電極とドレイン電極に接続し、

さらに複数の走査線を介してこれらのトランジスタ T2～T5 のゲート電極に個別に正負のパルス信号を供給してオン・オフ制御する構成とし、

しかしてトランジスタ T2、T3 をオン・オフして画素容量 C1、C2 に正負の電源電圧を保持し、

しかる後にトランジスタ T4、T5 をオン・オフして画素容量 C1、C2 に正負の駆動電圧を保持することを特徴とする請求項 1 記載のアクティブマトリクス駆動回路。

【請求項 3】 前記画素容量 C1、C2 は、

前段のトランジスタ T6、T7 と後段のトランジスタ T8、T9 を介して画素電極に接続し、

トランジスタ T6、T7 には正負の電源電圧を供給し、

トランジスタT8、T9のゲート電極にはフレーム毎に反転する正負のパルス信号を供給してオン・オフ制御する構成とし、

しかしてトランジスタT6、T7を用いて画素容量C1、C2に保持した正負の駆動電圧を破壊することなく読み出し、

トランジスタT8、T9をオン・オフして読み出した正負の駆動電圧を交互に画素電極に伝えてフレーム毎に極性反転駆動することを特徴とする請求項1記載のアクティブマトリクス駆動回路。

【請求項4】 前記トランジスタT1～T9をPチャネルトランジスタとNチャネルトランジスタで構成し、

これらPチャネルトランジスタとNチャネルトランジスタのしきい値電圧の絶対値が異なるときは、

前記構成に電圧降下用のPチャネルトランジスタとNチャネルトランジスタを配置してデータ電圧と絶対値が等しく極性の異なる正負の駆動電圧を得ることを特徴とする請求項2～3記載のアクティブマトリクス駆動回路。

【請求項5】 前記トランジスタT4、T5のゲート電極に接続する走査線を次に走査する前記トランジスタT2、T3のゲート電極に接続する走査線で代用して走査線の配線数を減らすことを特徴とする請求項2記載のアクティブマトリクス駆動回路。

【請求項6】 前記画素容量C1、C2の一端を1ライン前の前記トランジスタT2、T3のゲート電極に接続する走査線に接続して接地用配線を省略することを特徴とする請求項2記載のアクティブマトリクス駆動回路。

【請求項7】 前記トランジスタT2、T3のゲート電極に供給するパルス信号の一方の極性を反転する回路を設けて走査線の配線数を減らすことを特徴とする請求項2記載のアクティブマトリクス駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶ディスプレイやEL (electroluminescence) ディスプレイなどの画素内にトランジスタなどのアクティブ素子を配置し、次の走査期間がくるま

で画素内にデータを保持して画素を準スタティック駆動するアクティブマトリクス駆動回路に関する。

【 0 0 0 2 】

【発明が解決しようとする課題】

アクティブマトリクス駆動回路においては、外部（例えばパソコン等）から入力された信号が、画素電極に印加される信号に変換される。特に入力信号がデジタル信号である場合には、DAC（Digital-Analog Converter）によって変換され、画素電極に印加される。

画素容量に蓄積された電荷は 1 フレーム期間だけ保持される。

このような構成においては、フレーム期間毎にデータを書き換える（データ線にデータが送られる）ため消費電力が大きくなる。例えば静止画表示の場合や、動画においても画素に印加される電圧が前フレーム期間と同じ場合等において、データをフレーム期間毎に書き換える必要がない場合には画素内に長時間電圧を保持する機能を有する構成を持たせ、書き換える必要がある場合のみデータが更新される（あるいはその頻度を減らす）手法が提案されている。ただし従来の方法ではサブ画素内メモリは 1 bit 程度であり、フルカラー表示するための中間調表現には不十分である。

【 0 0 0 3 】

画素内メモリを搭載して中間調表現を実現するには、

(1) サブ画素内に複数 bit のメモリを配置し、各サブ画素内に ADC（Analog-Digital Converter）および DAC を配置する。

(2) サブ画素を更に複数の画素より構成して面積比で中間調を表現する。

(3) サブ画素を時分割変調し中間調を表現する。

等が考えられるが、(1)、(2) の場合は小さな画素サイズで実現するのは困難であり、(3) の場合はフリッカ（ちらつき）が生じやすいなど多階調化に際して多くの問題がある。これを解決するには各サブ画素にアナログ電圧を保持する機能を搭載すればよい。

【 0 0 0 4 】

一般的にはキャパシタを用いて任意のアナログ電圧を保持することが可能であ

る。画素内にこの構成を導入し、かつ保持したアナログ電圧が読み出しによって破壊されない回路構成を画素内に導入する必要がある。また、液晶ディスプレイに本構成を導入した場合、液晶に長時間DC電圧を印加すると、材料物質が変化し抵抗率が減少するなどの劣化現象が起きてくる。従って、液晶寿命の観点からAC駆動が必要になり、データラインから供給される電圧（V data）に対して、逆の極性の電圧値（-V data）も保持し画素電極にフレーム期間毎に交互に供給することが望ましい。

【 0 0 0 5 】

そこで本発明は、各画素内に任意のアナログ電圧を保持して画素に印加される電圧が前フレーム期間と同じ場合は、データを書き換えることなく長時間のAC駆動を実現するアクティブマトリクス駆動回路を提案することを目的になされたものである。

【 0 0 0 6 】

【課題を解決するための手段】

かかる目的を達成するために、本発明は以下のように構成した。

【 0 0 0 7 】

すなわち、本発明のアクティブマトリクス駆動回路は、 n 行の走査線と m 列の信号線からなるマトリクス配線の交点にスイッチング素子を配置し、このスイッチング素子を前記走査線に順次供給される走査信号でオン・オフ制御して信号線に供給されるデータ電圧を画素電極に伝えるアクティブマトリクス駆動回路において、前記スイッチング素子をトランジスタT1で構成し、このトランジスタT1のゲート電極を前記信号線に接続すると共に、ソース電極とドレイン電極を2つの画素容量C1、C2にそれぞれ接続し、しかしてこれらの画素容量C1、C2に正負の電源電圧を保持した状態でゲート電極に正負いずれかのデータ電圧を印加して画素容量C1、C2に正負の駆動電圧を保持することにより上記目的が達成される。

【 0 0 0 8 】

また、本発明のアクティブマトリクス駆動回路は、前記画素容量C1、C2は、トランジスタT2、T3を介して正負の電源電圧を供給すると共に、トランジスタT4、T5を介してトランジスタT1のソース電極とドレイン電極に接続し、さらに複数の

走査線を介してこれらのトランジスタT2～T5のゲート電極に個別に正負のパルス信号を供給してオン・オフ制御する構成とし、しかしてトランジスタT2、T3をオン・オフして画素容量C1、C2に正負の電源電圧を保持し、しかる後にトランジスタT4、T5をオン・オフして画素容量C1、C2に正負の駆動電圧を保持することにより上記目的が達成される。

【 0 0 0 9 】

また、本発明のアクティブマトリクス駆動回路は、前記画素容量C1、C2は、前段のトランジスタT6、T7と後段のトランジスタT8、T9を介して画素電極に接続し、トランジスタT6、T7には正負の電源電圧を供給し、トランジスタT8、T9のゲート電極にはフレーム毎に反転する正負のパルス信号を供給してオン・オフ制御する構成とし、しかしてトランジスタT6、T7を用いて画素容量C1、C2に保持した正負の駆動電圧を破壊することなく読み出し、トランジスタT8、T9をオン・オフして読み出した正負の駆動電圧を交互に画素電極に伝えてフレーム毎に極性反転駆動することにより上記目的が達成される。

【 0 0 1 0 】

また、好ましくは、前記トランジスタT1～T9をPチャネルトランジスタとNチャネルトランジスタで構成し、これらPチャネルトランジスタとNチャネルトランジスタのしきい値電圧の絶対値が異なるときは、前記構成に電圧降下用のPチャネルトランジスタとNチャネルトランジスタを配置してデータ電圧と絶対値が等しく極性の異なる正負の駆動電圧を得る。

【 0 0 1 1 】

また、好ましくは、前記トランジスタT4、T5のゲート電極に接続する走査線を次に走査する前記トランジスタT2、T3のゲート電極に接続する走査線で代用して走査線の配線数を減らす。

【 0 0 1 2 】

また、好ましくは、前記画素容量C1、C2の一端を1ライン前の前記トランジスタT2、T3のゲート電極に接続する走査線に接続して接地用配線を省略する。

【 0 0 1 3 】

また、好ましくは、前記トランジスタT2、T3のゲート電極に供給するパルス信

号の一方の極性を反転する回路を設けて走査線の配線数を減らす。

【 0 0 1 4 】

【発明の実施の形態】

以下に図面を参照して、本発明の実施の形態について説明する。

【 0 0 1 5 】

図 1 に、本発明を実施したアクティブマトリクス駆動回路の等価回路を示す。

図の等価回路は 1 画素分の駆動回路で、Y 方向に正負の第 1 走査線 11+、11-、第 2 走査線 12+、12-、AC 駆動線 13、正負の電源線 14+、14-、GND 線 15 を敷設し、X 方向に信号線 20 を敷設するマトリクス配線の交点に配置する。

駆動回路は、正負 2 電源とトランジスタ T1～T9 を用いて前後 2 段階の回路を形成し、前段の負荷に画素容量 C1、C2 を、後段の負荷に画素電極 P をそれぞれ接続する。

図中、T1、T3、T5、T7、T9 は P チャンネルトランジスタ、T2、T4、T6、T8 は N チャンネルトランジスタである。

【 0 0 1 6 】

前段のトランジスタ T1～T5 は、それぞれゲートを信号線 20、第 1 走査線 11+、11-、第 2 走査線 12+、12- に接続する。

トランジスタ T2 は、ソースを電源線 14+ に接続し、ドレインを画素容量 C1 とトランジスタ T4 のソースに接続する。

トランジスタ T3 は、ドレインを電源線 14- に接続し、ソースを画素容量 C2 とトランジスタ T5 のドレインに接続する。

画素容量 C1、C2 は、接地側端子をそれぞれ GND 線 15 と隣接ラインの GND 線 15 に接続する。

トランジスタ T1 は、ソースとドレインをトランジスタ T4、T5 のドレインとソースにそれぞれ接続する。

【 0 0 1 7 】

後段のトランジスタ T6～T9 は、それぞれゲートを画素容量 C1、C2 と AC 駆動線 13 に接続する。

トランジスタ T6 は、ソースとドレインをそれぞれ電源線 14+ とトランジスタ T8

のソースに接続し、トランジスタT8はドレインを画素電極Pに接続する。

トランジスタT7は、ドレインとソースをそれぞれ電源線14-とトランジスタT9のドレインに接続し、トランジスタT9はソースを画素電極Pに接続する。

【0018】

本発明を実施したアクティブマトリクス駆動回路は以上のような構成で、図2のタイムチャートを参照してその動作原理について説明する。

駆動回路は、最初に1ライン前の走査期間においてトランジスタT2、T3のゲートに第1走査線11+、11-を介して正負のパルスP1+、P1-を加え、トランジスタT2、T3をONにする。

これにより、画素容量C1、C2が電源線14+、14-に接続され、画素容量C1、C2に正負の初期電圧+V_{pi}、-V_{mi}が保持される。

【0019】

トランジスタT2、T3のゲートに電源電圧+VDD、-VDDと同じ電圧を加えるとゲート-ソース間の電圧が0となり、ドレインに飽和電流が流れる。

これにより、画素容量C1、C2の初期電圧+V_{pi}、-V_{mi}はトランジスタT2、T3のしきい値電圧分だけ下がり、+V_{pi}=+VDD-V_{Tn}、-V_{mi}=-VDD+V_{Tp}となる。

そのため、画素容量C1、C2に電源電圧と同じ初期電圧+V_{pi}=+VDD、-V_{mi}=-VDDを保持するには、ゲートに加える電圧を電源電圧よりしきい値電圧分だけ大きい+VDD+V_{Tn}、-VDD-V_{Tp}以上にする必要がある。

ここで、V_{Tn}をNチャネルトランジスタ、V_{Tp}をPチャネルトランジスタのしきい値電圧とする。

トランジスタがNチャネルの場合、ゲート電位をソースより高くすればONとなり、Pチャネルの場合、ゲート電位をソースより低くすればONとなる。

そのため、ゲート電圧を+VDD+V_{Tn}、-VDD-V_{Tp}以上にすると、トランジスタT2、T3はONになるが、このときのゲート電位がソースより高（または低）いので、トランジスタT2、T3のソース電位はゲート電位より高（または低）くなろうとするが、電源電圧以上（または以下）にはならないので、このときの初期電圧は+V_{pi}=+VDD、-V_{mi}=-VDDとなる。

【0020】

ここでパルスP1+、P1-を0にすると、トランジスタT2、T3はOFFになり、画素容量C1、C2の電荷はどこにも逃げる経路がなくなり、画素容量C1、C2にはパルスP1+、P1-が0になった瞬間の初期電圧+Vpi、-Vmiが保持される。

実際にはトランジスタT2、T3や画素容量C1、C2の漏れ電流のために、徐々にではあるが画素容量C1、C2の初期電圧+Vpi、-Vmiは変化する。

【 0 0 2 1 】

次に、今回走査するラインの走査期間においてトランジスタT4、T5のゲートに第2走査線12+、12-を介して正負のパルスP2+、P2-を加え、トランジスタT4、T5をONにする。

このとき、同時にトランジスタT1のゲートに信号線20を介してデータ電圧+Vdataが供給される。

これにより、画素容量C1、C2がトランジスタT1のソースとドレインに接続されて初期電圧+Vpi、-Vmiが印加され、画素容量C1、C2に正負の駆動電圧+Vp、-Vmが保持される。

【 0 0 2 2 】

トランジスタT1のソースとドレインに初期電圧+Vpi、-Vmiを保持した状態でゲートにデータ電圧+Vdataを加えると、ソース電位はゲートよりトランジスタT1のしきい値電圧VTp分高くなり、ドレイン電位はソースと逆相になるので、このときの駆動電圧は+Vp=+Vdata+VTp、-Vm=-Vdata-VTp+Vpi-Vmiとなる。

ここでパルスP2+、P2-を0にすると、トランジスタT4、T5はOFFになり、画素容量C1、C2にはパルスP2+、P2-が0になった瞬間の駆動電圧+Vp、-Vmが保持される。

同時に、トランジスタT1がアイソレーションされて以降の信号線20からのデータ入力がカットオフされる。

【 0 0 2 3 】

初期電圧が電源電圧より小さい+Vpi=+VDD-VTn、-Vmi=-VDD+VTpの場合、駆動電圧は+Vp=+Vdata+VTp、-Vm=-Vdata-VTp+Vpi-Vmi=-Vdata-VTp+VDD-VTn-VDD+VTp=-Vdata-VTnとなる。

初期電圧が電源電圧と同じ+Vpi=+VDD、-Vmi=-VDDの場合、駆動電圧は+Vp=+Vda

$ta+VTp$ 、 $-Vm=-Vdata-VTp+Vpi-Vmi=-Vdata-VTp+VDD-VDD=-Vdata-VTp$ となる。

従って、初期電圧 $+Vpi$ 、 $-Vmi$ の値によって駆動電圧 $+Vp$ 、 $-Vm$ が異なり、NチャネルトランジスタとPチャネルトランジスタのしきい値電圧 VTn 、 VTp の絶対値が等しければ問題はないが、異なる場合は整合させるための対策が必要になる。

なお、画素容量 $C1$ 、 $C2$ に保持する駆動電圧をデータ電圧と同じ $+Vp=+Vdata$ 、 $-Vm=-Vdata$ としたい場合はトランジスタ $T1$ のゲートに $+Vdata$ よりしきい値電圧 VTp 分だけ小さい電圧 $+Vdata-VTp$ を加えればよい。

また、トランジスタ $T1$ にNチャネルトランジスタを用いる場合は、ゲートに負のデータ電圧 $-Vdata$ を加えることで同様の結果が得られる。

【 0 0 2 4 】

画素容量 $C1$ 、 $C2$ に保持された駆動電圧 $+Vp$ 、 $-Vm$ は、トランジスタ $T6$ 、 $T7$ のゲートに入力され、読み取りの際に破壊されることなくトランジスタ $T8$ 、 $T9$ のソースとドレインに送られる。

このときトランジスタ $T6$ 、 $T7$ は電圧利得 1 の増幅器として働き、ソース電位は一定の電位差を保ちながらゲート電位に追従する。

【 0 0 2 5 】

前述したように、初期電圧が電源電圧と同じ $+Vpi=+VDD$ 、 $-Vmi=-VDD$ の場合、画素容量 $C1$ 、 $C2$ に保持される駆動電圧は $+Vp=+Vdata+VTp$ 、 $-Vm=-Vdata-VTp$ となる。

この駆動電圧は、トランジスタ $T6$ 、 $T7$ の後段でしきい値電圧 VTn 、 VTp 分だけ電圧が降下し、 $+Vp=+Vdata+VTp-VTn$ 、 $-Vm=-Vdata-VTp+VTp=-Vdata$ となる。

従って、NチャネルトランジスタとPチャネルトランジスタのしきい値電圧 VTn 、 VTp を等しく設計して $VTn=VTp$ とすると、駆動電圧 $+Vp=+Vdata$ 、 $-Vm=-Vdata$ となり、データ電圧と絶対値が等しく極性の異なる正負の駆動電圧が得られる。

【 0 0 2 6 】

次に、トランジスタ $T8$ 、 $T9$ のゲートにAC駆動線13を介してフレーム毎に正負のパルス $P3+$ 、 $P3-$ を交互に加える。

トランジスタ $T8$ 、 $T9$ のゲートに正のパルス $P3+$ が加わると、トランジスタ $T8$ がON、トランジスタ $T9$ がOFFになる。

これにより、画素容量 $C1$ とトランジスタ $T6$ が画素電極 P に接続され、画素容量 C

1に保持された正極性の駆動電圧 $+V_p$ がトランジスタT6によって読み出され、画素電極Pに書き込まれる。

トランジスタT8、T9のゲートに負のパルスP3-が加わると、トランジスタT8がOFF、トランジスタT9がONになる。

これにより、画素容量C2とトランジスタT7が画素電極Pに接続され、画素容量C2に保持された負極性の駆動電圧 $-V_m$ がトランジスタT7によって読み出され、画素電極Pに書き込まれる。

以上により、フレーム期間毎に極性反転された駆動電圧 $+V_p$ 、 $-V_m$ が交互に送られ、画素電極Pと対向電極に供給される電圧が反転駆動される。

【0027】

前述したように、NチャネルトランジスタとPチャネルトランジスタのしきい値電圧 V_{Tn} 、 V_{Tp} を等しくすると、データ電圧と絶対値が等しく極性の異なる正負の駆動電圧 $+V_p=+V_{data}$ 、 $-V_m=-V_{data}$ が得られるが、しきい値電圧が異なる場合、図3に示すように、図1の回路構成にNチャネルトランジスタT10、T12とPチャネルトランジスタT11を追加することで同様の結果が得られる。

すなわち、トランジスタT2、T3のゲートに電源電圧よりしきい値電圧以上大きい電圧を加えて画素容量C1、C2に初期電圧 $+V_{pi}=+V_{DD}$ 、 $-V_{mi}=-V_{DD}$ を保持した状態でトランジスタT4、T5をオン・オフすると、NチャネルトランジスタT10の後段でしきい値電圧 V_{Tn} 分だけ昇圧し、画素容量C1、C2に駆動電圧 $+V_p=+V_{data}+V_{Tp}+V_{Tn}$ 、 $-V_m=-V_{data}-V_{Tp}-V_{Tn}$ が保持される。

次に、駆動電圧はNチャネルトランジスタT6とPチャネルトランジスタT7の後段でしきい値電圧 V_{Tn} 、 V_{Tp} 分だけ降圧し、それぞれ $+V_p=+V_{data}+V_{Tp}$ 、 $-V_m=-V_{data}-V_{Tn}$ となる。

次に、駆動電圧はPチャネルトランジスタT11とNチャネルトランジスタT12の後段でしきい値電圧 V_{Tp} 、 V_{Tn} 分だけ降圧し、それぞれ $+V_p=+V_{data}$ 、 $-V_m=-V_{data}$ となる。以上により、データ電圧と絶対値が等しく極性の異なる正負の駆動電圧が得られる。

【0028】

本発明を実施したアクティブマトリクス駆動回路は、走査方向に正負の第1走

査線11+、11-、第2走査線12+、12-、AC駆動線13、正負の電源線14+、14-、GND線15など多数の配線を必要とするが、これらの配線が困難な場合は、次のような方法で配線数を減らすことができる。

第1の方法は、今回走査するラインにパルスP2+、P2-を供給するタイミングが次に走査するラインにパルスP1+、P1-を供給するタイミングと同じなので、図4に示すように、トランジスタT4、T5のゲートに接続する第2走査線12+、12-は、次に走査するラインの第1走査線11+、11-で代用することにより省略できる。

【0029】

第2の方法は、1ライン前の第1走査線11+、11-は、次の画素データの書き換え時期がくるまで使用されることがないので、図5に示すように、画素容量C1、C2を接地するGND線15は、1ライン前の第1走査線11+、11-で代用することにより省略できる。

【0030】

第3の方法は、図6に示すように、正極性のパルスP1+を負極性のパルスP1-に変換するインバータ回路とクランプ回路で構成するパルス整形部30を設けることにより、トランジスタT3のゲートに接続する第1走査線11-は、パルス整形部30の出力側配線11'-で代用することにより省略できる。

【0031】

図3の回路構成を回路シミュレータに入力した結果、図7に示すような駆動電圧波形が得られた。

図より、NチャネルトランジスタとPチャネルトランジスタのしきい値電圧 V_{Tn} 、 V_{Tp} が $V_{Tn}=1.0$ 、 $V_{Tp}=-2.0$ と異なる場合でも、トランジスタT1のゲートに入力したデータ電圧 V_{data} と絶対値が等しく極性の異なる正負の駆動電圧 $V_p=+V_{data}$ 、 $V_m=-V_{data}$ がフレーム期間毎に極性を反転して出力されることが確認できた。

【0032】

【発明の効果】

以上説明したように、本発明のアクティブマトリクス駆動回路は、トランジスタT1を介して2つの画素容量C1、C2にデータ電圧と絶対値が等しく極性の異なる正負の駆動電圧を保持し、画素電極に印加するデータ電圧が前フレーム期間と同

じ場合は、データを書き換えることなく2つの画素容量C1、C2に保持した正負の駆動電圧を交互に出力して画素をフレーム反転駆動する。

従って、本発明によれば、データをフレーム期間毎に書き換える必要がない場合には画素内に長時間データ電圧を保持する機能を有するので、液晶ディスプレイやELディスプレイなどの動作時間を長くするための重要な課題の一つである駆動回路の低消費電力化を実現できる。

また、2つの画素容量C1、C2に正負の駆動電圧を保持して画素をフレーム反転駆動するので、液晶ディスプレイに本構成を適用した場合は、液晶の劣化を防いで液晶寿命を長くできる。

【図面の簡単な説明】

【図1】

本発明を実施したアクティブマトリクス駆動回路の等価回路である。

【図2】

本発明を実施したアクティブマトリクス駆動回路のタイムチャートである。

【図3】

電圧降下用のトランジスタを配置した駆動回路の等価回路である。

【図4】

第2走査線を省略した駆動回路の等価回路である。

【図5】

GND線を省略した駆動回路の等価回路である。

【図6】

負側の第1走査線を省略した駆動回路の等価回路である。

【図7】

図3の回路構成を回路シミュレータに入力した結果の駆動電圧波形図である。

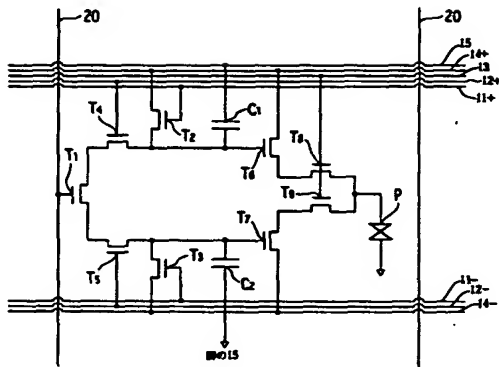
【符号の説明】

11	第1走査線
12	第2走査線
13	AC駆動線
14	電源線

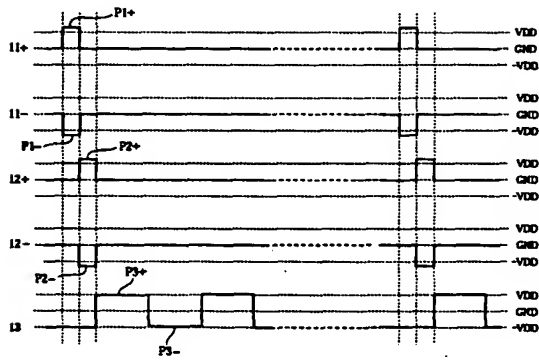
15	GND線
20	信号線
30	パルス整形部
C1、C2	画素容量
P	画素電極
P1～P3	パルス
T1～T9	トランジスタ

【書類名】 図面

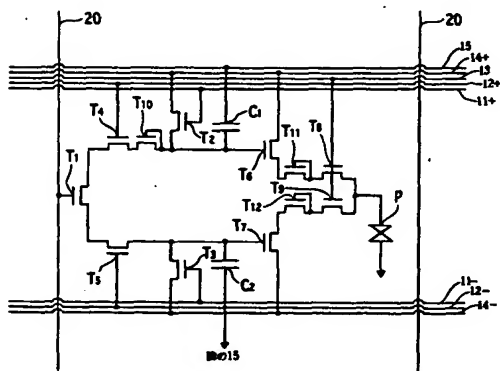
【図1】



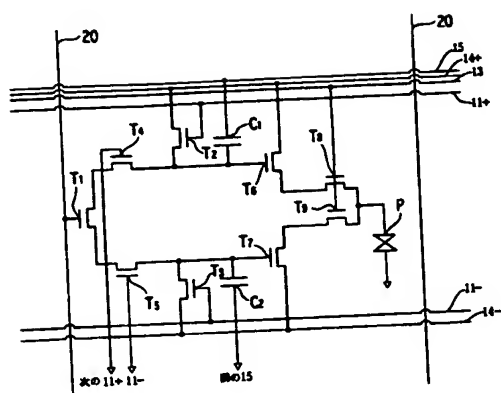
【図2】



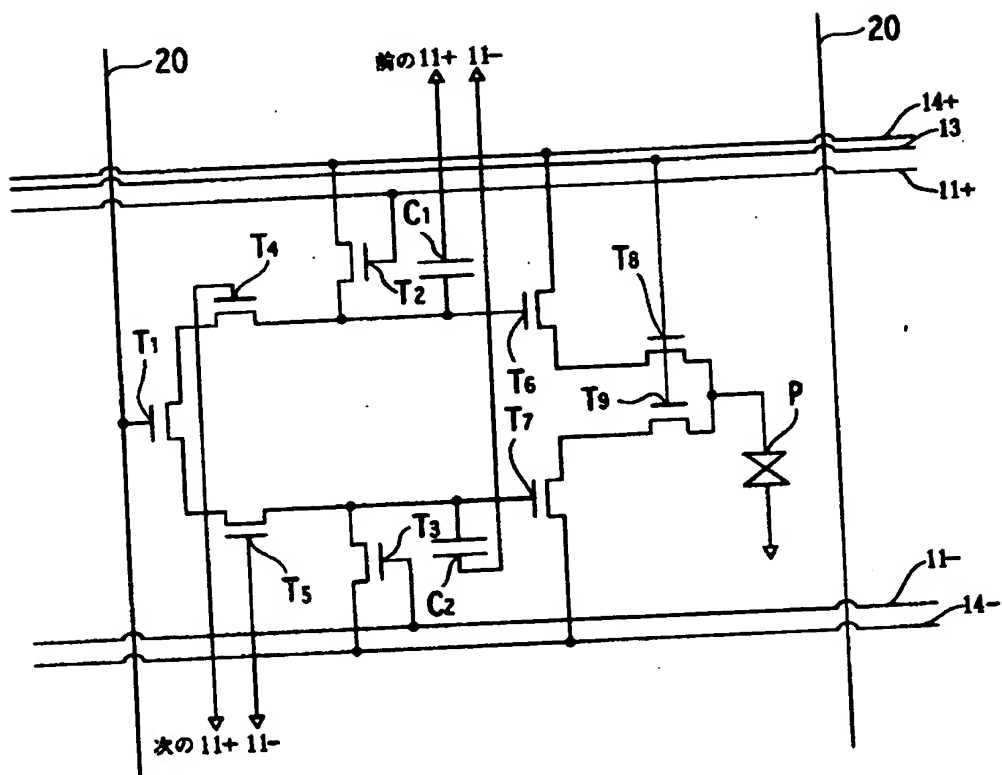
【図3】



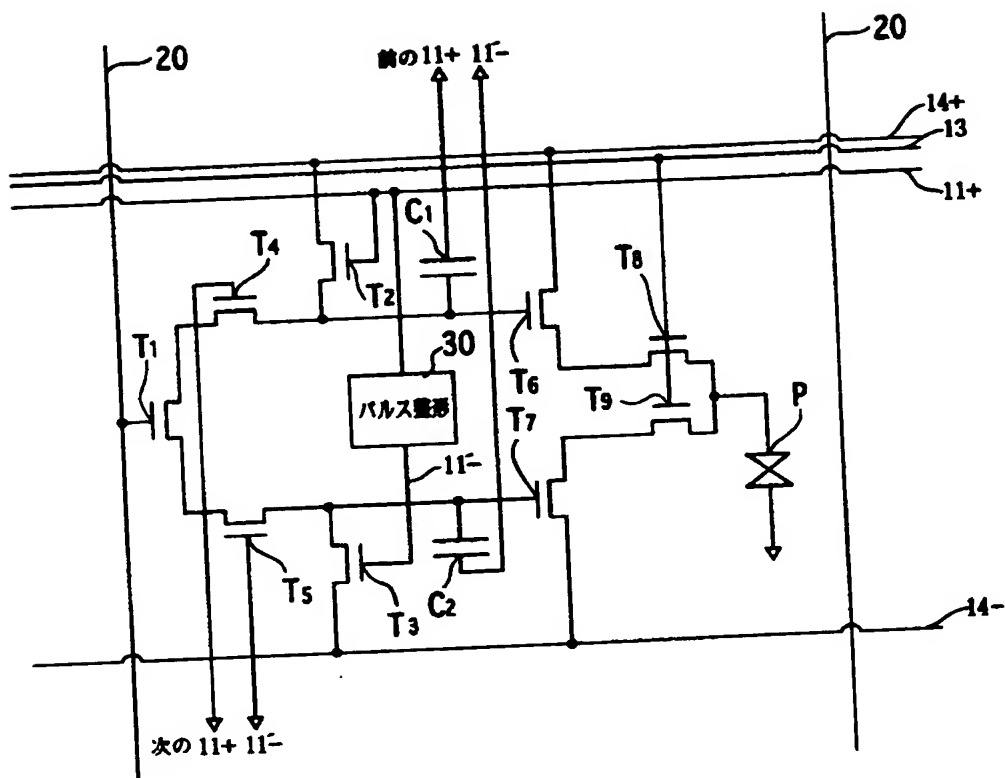
【図4】



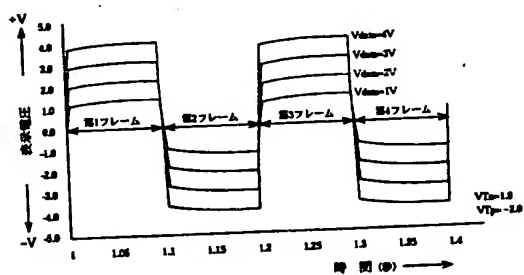
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】 【目的】 各画素内に任意のアナログ電圧を保持して画素に印加される電圧が前フレーム期間と同じ場合は、データを書き換えることなく長時間のAC駆動を実現するアクティブマトリクス駆動回路を提案する。

【構成】 Y方向に正負の第1走査線11+、11-、第2走査線12+、12-、AC駆動線13、正負の電源線14+、14-、GND線15を敷設し、X方向に信号線20を敷設するマトリクス配線の交点に配置し、正負2電源とトランジスタT1～T9を用いて前後2段階の回路を形成し、前段の負荷に画素容量C1、C2を、後段の負荷に画素電極Pをそれぞれ接続する。前段のトランジスタT1～T5は、それぞれゲートを信号線20、第1走査線11+、11-、第2走査線12+、12-に接続する。トランジスタT2は、ソースを電源線14+に接続し、ドレインを画素容量C1とトランジスタT4のソースに接続する。トランジスタT3は、ドレインを電源線14-に接続し、ソースを画素容量C2とトランジスタT5のドレインに接続する。画素容量C1、C2は、接地側端子をそれぞれGND線15と隣接ラインのGND線15に接続する。トランジスタT1は、ソースとドレインをトランジスタT4、T5のドレインとソースにそれぞれ接続する。後段のトランジスタT6～T9は、それぞれゲートを画素容量C1、C2とAC駆動線13に接続する。トランジスタT6は、ソースとドレインをそれぞれ電源線14+とトランジスタT8のソースに接続し、トランジスタT8はドレインを画素電極Pに接続する。トランジスタT7は、ドレインとソースをそれぞれ電源線14-とトランジスタT9のドレインに接続し、トランジスタT9はソースを画素電極Pに接続する。

【選択図】 図1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 7 0 6 6 5
受付番号	5 0 2 0 1 3 9 0 1 8 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 9 月 1 8 日

< 認定情報・付加情報 >

【提出日】 平成14年 9月17日

出 願 人 履 歴 情 報

識別番号 [5 0 1 2 8 6 6 5 7]

1. 変更年月日 2 0 0 1 年 7 月 1 8 日

[変更理由] 新規登録

住 所 神奈川県横浜市戸塚区吉田町 2 9 2 番地

氏 名 株式会社 液晶先端技術開発センター